

Japanese Kokai Patent Application No. Sho 59[1984]-210382

---

Job No.: 844-92662

Ref.: JP 59-210382

Translated from Japanese by the Ralph McElroy Translation Company  
910 West Avenue, Austin, Texas 78701 USA

JAPANESE PATENT OFFICE  
PATENT JOURNAL (A)  
KOKAI PATENT APPLICATION NO. SHO 59[1984]-210382

Int. Cl. <sup>3</sup> :	G 01 R 31/28 H 01 L 21/66
Sequence Nos. for Office Use:	7807-2G 6851-5F
Filing No.:	Sho 58[1983]-85341
Filing Date:	May 16, 1983
Publication Date:	November 29, 1984
No. of Inventions:	2 (Total of 7 pages)
Examination Request:	Not filed

TEST SYSTEM FOR INTEGRATED CIRCUIT ELEMENT PACKAGE UNITS

Inventors:	Kouichi Kuwabara Fujitsu Ltd. 1015 Kamiodanaka, Nakahara-ku, Kawasaki-shi  Masae Nakayama Fujitsu Ltd. 1015 Kamiodanaka, Nakahara-ku, Kawasaki-shi
Applicant:	Fujitsu Ltd. 1015 Kamiodanaka, Nakahara-ku, Kawasaki-shi
Agent:	Koshiro Matsuoka, patent attorney

[There are no amendments to this patent.]

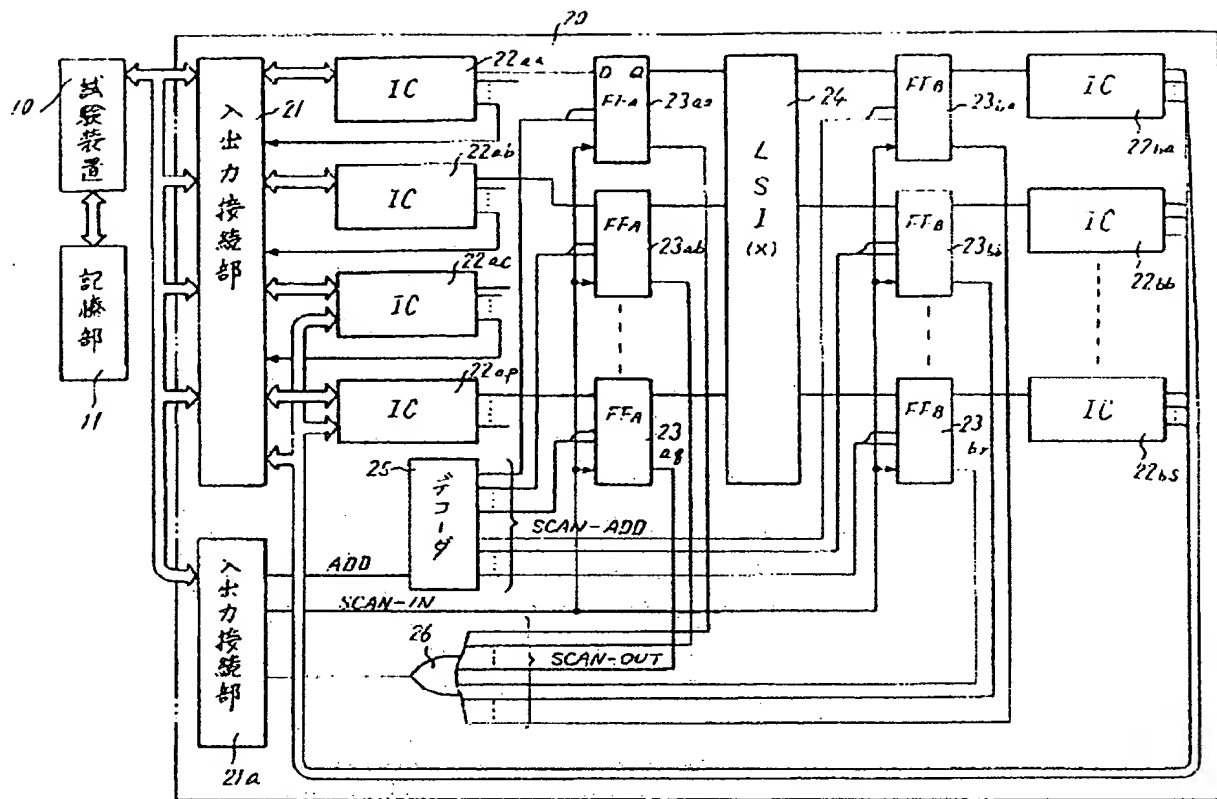


Figure 1

- Key:
- 10 Test device
  - 11 Memory unit
  - 21 Input/output connecting unit
  - 21a Input/output connecting unit
  - 25 Decoder

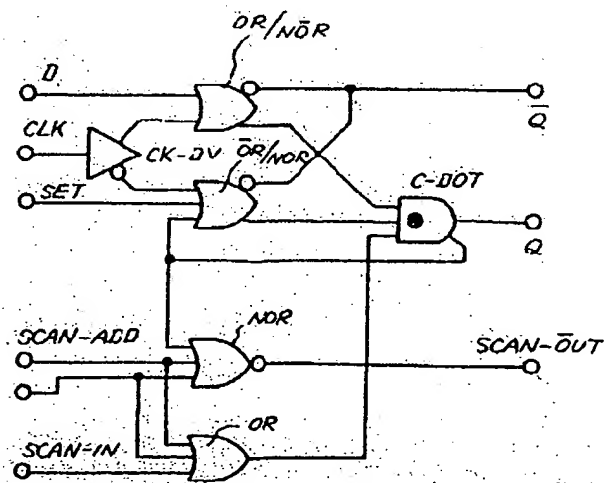


Figure 2

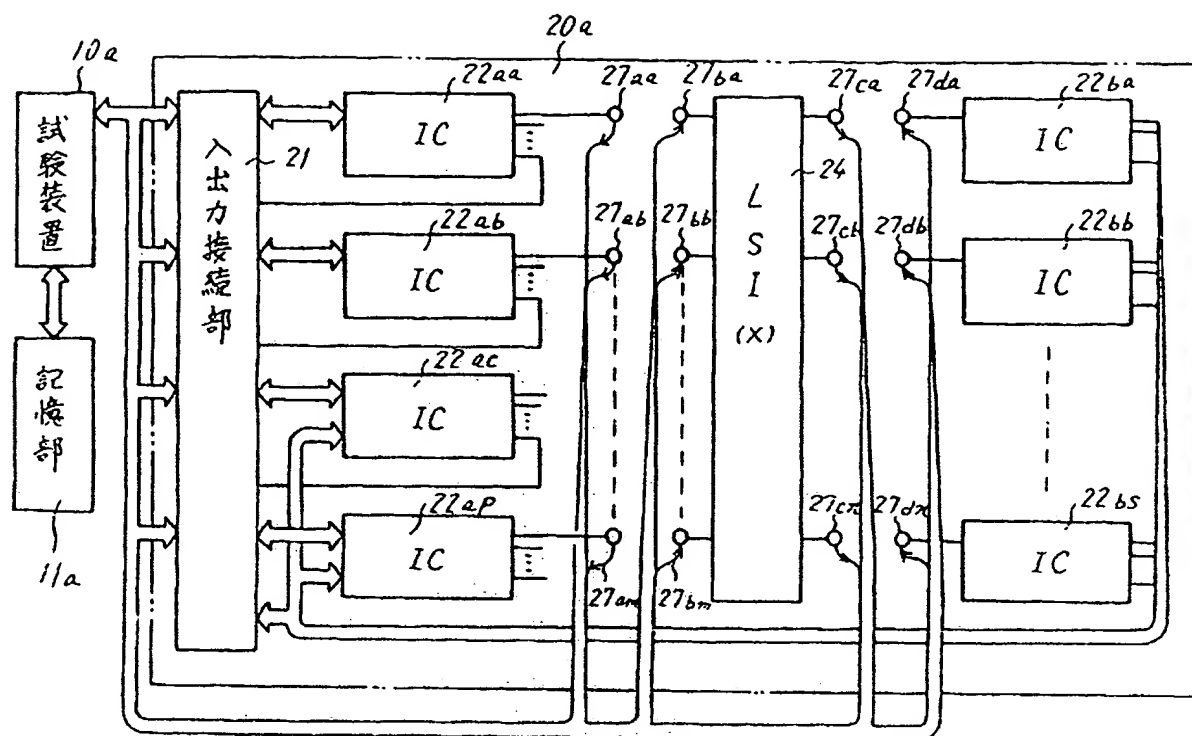


Figure 3

Key: 10a Test device  
 11a Memory unit  
 21 Input/output connecting unit

### Claims

1. A test system for integrated circuit element package unit characterized by the following facts: in a package unit carrying and connecting multiple integrated circuit elements including an integrated circuit element X, which has unknown detailed configuration of the internal logic circuit and can operate depending on the input/output data of external terminals, to realize a higher logic circuit unit,

there are multiple flip-flops corresponding to each signal input/output terminal of the higher element X and a selecting means that scans in/out the input and output signals of the flip-flops using an address system; the aforementioned flip-flops comprise multiple flip-flops A, which cut off the input signal sent from the circuit in the previous stage to be applied to element X and the gate means for scan in/out equipped by each flip-flop, apply the input signal to their own data input, and relay and connect the positive output to the aforementioned input terminal of element X, and multiple flip-flops B, which cut off the output connection from element X to the circuit in the next stage, apply the output to their own data input, and relay and connect the positive output to the aforementioned circuit in the next stage; the test device tests the package unit using the following steps: in the first test step, the first test data is applied to the input terminal of the package unit, and the output data obtained by scanning out flip-flops A by the selecting means and/or the output data obtained at the output terminal of the package unit is compared with the first expected data retained in the test device; in the second test step, flip-flops A are selected by the selecting means, and the output data obtained by scanning in the second test data corresponding to the unit test data of element X and scanning out flip-flops B is compared with the corresponding second expected data; in the third test step, flip-flops B are selected by the selecting means, the third test data is scanned in, and the output data obtained at the output terminal of the package unit and/or by scanning out flip-flops A is compared with the third expected data.

2. A test system for integrated circuit element package unit characterized by the following facts: in a package unit carrying and connecting multiple integrated circuit elements including an integrated circuit element X, which has an unknown detailed configuration of the internal logic circuit and can operate depending on the input/output data of external terminals, to realize a higher logic circuit unit,

there is a short/cutoff means switch means corresponding to each input/output terminal of element X;

the test device tests the package unit using the following steps: in the first test step, with the switch means set to the cutoff mode, the first test data is applied to the input terminal of the package unit, and the output of the switch means corresponding to the input of element X and/or the output data obtained at the output terminal of the package unit is compared with the first

expected data retained in this device; in the second test step, the second test data corresponding to the unit test data of element X is applied from the switch means corresponding to the input of element X and compared with the second expected data; in the third test step, the third test data are applied from the other end of the switch means corresponding to the output of the second test step and compared with the output data obtained at the output terminal of the package unit and/or the output data obtained by the switch means in the first test step.

### Detailed explanation of the invention

#### Industrial application field

The present invention pertains to a test system for higher package unit carrying many integrated semiconductor circuit elements.

#### Technical background

In recent years, as a result of the development of semiconductor technologies, especially, integration technology and circuit design technology, large-scale integrated circuits (LSIs) carrying many circuit elements in one package can be provided at low cost. Conventionally, a logic circuit used for data processing is constituted by connecting NAND gates, OR gates, or other combinatorial circuit elements together with latches, registers, flip-flops (FFs), or other sequential circuits formed by multiple combinatorial circuits. The logic circuits in a data processing device, such as a central processing unit (CPU), are also formed by integrating combinatorial circuit and sequential circuits. In the past when the integration level was not very high, a higher function could be realized by mounting many small-scale integrated circuits (SSIs) or medium-scale integrated circuits (MSIs), which realize their basic functions by combining a small number of the same type of combinatorial circuits and/or sequential circuits or a small number of circuit elements on an intermediate package unit, such as a printed wiring board. Even higher logic functions could be realized by adopting a stacked unit configuration using, for example, a back panel wiring board having many of the aforementioned package units connected in parallel. As the integration level increased, for each printed wiring board or even circuit configuration scale of the stack unit level in the conventional package unit, it became possible to provide microprocessors (MPUs) or other small, lightweight single-package LSIs with large-scale and complex logic circuits at low cost. In addition, desired LSIs, such as master/slave LSIs, can be provided in a short time based on user specifications.

#### Prior art and problems to be solved by the invention

The aforementioned improvement of the integration level has supported development of the data processing technology by providing small, lightweight, and highly-reliable circuits with

high logic function levels at low cost. This, however, has brought on complicated and difficult conditions due to various types of tests for the intermediate package units used by LSI devices. Conventionally, since it is easy to grasp the logic configuration of SSI or MSI or a combination thereof, test data can be formed in a relatively simple manner, and not a lot of testing is required. Along with the advent of LSI and its development, the development of adequate test techniques has increased significantly due to the increased number of product types, which depend, in turn, on the number of incorporated logic circuits and different combinations. Compared with SSI or MSI, the number of the external connection terminals (pins) for LSI is strictly restricted by the external dimensions and the wiring density. Therefore, for a conventional SSI or MSI device, it is only necessary to incorporate the parts corresponding to the pins in the package unit in the completion stage. For LSI, however, although functional operation is possible depending on the signal values input/output to/from the pins, the action of the internal logic circuits cannot be fully ascertained. This is known as the black-box phenomenon. This phenomenon will cause serious problems when an LSI device produced by a manufacturer with an unknown configuration of the internal logic circuit is used to generate test data to be generally applied in order to obtain certain results. Consequently, for a package unit with a circuit configuration including an LSI (X) with unknown internal logic circuit, it is undesired to use the input/output terminals of, for example, the connectors of the package unit and the pin high-speed logic circuits of the LSI (X) by a test device when LSI (X) is removed. However, after the LSI (X) is mounted in a socket, a comparison test can be conducted using the test data prepared with the terminals of the socket used as the objects when LSI (X) is removed from the socket. When the LSI (X) is mounted, the output of the LSI (X) and the logic data output through logic circuits, such as SSI or MSI, connected to this output can be handled as variables. Consequently, the LSI (X) at the unit level can be guaranteed depending on a unit test carried out when the inputs are applied to the LSI (X). Also, test data can be prepared for other SSI and MSI other SSI and MSI [sic] as well as the part related to the LSI, whose internal logic circuit configuration can be ascertained, in the package unit except for the LSI (X). After the test data are input, the obtained output signal can be compared with the expected data. However, since no test can be conducted in the form including the wiring resistance/impedance or inter-lead capacitance on the printed wiring board in the package unit when the LSI (X) is included, the reliability of the package unit is in question. In addition, since LSI (X) is usually soldered in actual situations, it is difficult to carry out the test as described above. Even if the logic circuit configuration of the SSI-LSI mounted on a package unit can be ascertained, there are a large number of combinatorial circuits and sequential circuit elements in the package unit used as the test object. In order to conduct a comprehensive test using only the input/output terminals of the package unit, the work for preparing the test data is

unrealistically large and is difficult to realize or exceeds the scale of the test device prepared. As a result, it might not be able to carry out the test.

#### Objective of the invention

The objective of the present invention is to solve the problems in the aforementioned test of package unit by providing a test system for integrated circuit element package unit with the following features. In a test conducted for a package unit, the LSI (X) is cut off from electronic signals while it is mounted on the package unit, and the test is carried out in the same way as described in the conventional technology for the parts except for the LSI (X). For the LSI (X), a unit test that can be realized in a manner similar to the application state is carried out by using unit test data when the LSI (X) is mounted on the package unit. By dividing the process of preparing the test data and conducting the test into several steps, compared with the test performed for a package unit at one time, the test work, including generation of the test data, can be reduced by  $1/9$  if the work can be reduced by the square root and the process can be divided into 3 steps; or reduced by  $1/27$  if the work can be reduced by the cube root and the process can be divided into 3 steps.

#### Constitution of the invention

In order to realize the aforementioned objective, the present invention provides a test system for integrated circuit element package unit characterized by the following facts: in a package unit carrying and connecting multiple integrated circuit elements including an integrated circuit element X, which has unknown detailed configuration of the internal logic circuit and can operate depending on the input/output data of external terminals, to realize a higher logic circuit unit,

there are multiple flip-flops corresponding to each signal input/output terminal of the higher element X and a selecting means that scans in/out the input and output signals of the flip-flops using an address system; the aforementioned flip-flops comprise multiple flip-flops A, which cut off the input signal sent from the circuit in the previous stage to be applied to element X and the gate means for scan in/out equipped by each flip-flop, apply the input signal to their own data input, and relay and connect the positive output to the aforementioned input terminal of element X, and multiple flip-flops B, which cut off the output connection from element X to the circuit in the next stage, apply the output to their own data input, and relay and connect the positive output to the aforementioned circuit in the next stage; the test device tests the package unit using the following steps: in the first test step, the first test data is applied to the input terminal of the package unit, and the output data obtained by scanning out flip-flops A by the selecting means and/or the output data obtained at the output terminal of the package unit is



compared with the first expected data retained in the test device; in the second test step, flip-flops A are selected by the selecting means, and the output data obtained by scanning in the second test data corresponding to the unit test data of element X and scanning out flip-flops B is compared with the corresponding second expected data; in the third test step, flip-flops B are selected by the selecting means, the third test data is scanned in, and the output data obtained at the output terminal of the package unit and/or by scanning out flip-flops A is compared with the third expected data.

#### Application example

In the following, an application example of the present invention will be explained with reference to the figures. Figure 1 is a block diagram illustrating the test system for an integrated circuit element package unit in an application example of the present invention. Figure 2 is a block diagram illustrating an example of the flip-flop used for scanning out. Figure 3 is a block diagram illustrating the test system for integrated circuit element package unit in another application example of the present invention. In the figures, (10), (10a) represent test devices; (11), (11a) represent memory unit; (20), (20a) represent package units; (21), (21a) represent input/output connecting units; (22aa, ab, ac ... ap, ba, bb... bs) represent integrated circuits (ICs); (23aa, ab, ... aq, ba, bb... br) represent flip-flop A, B groups ( $FF_A$ ,  $FF_B$ ); (24) represents a large-scale integrated circuit element X (LSI (X)), which has unknown detailed configuration of the internal logic circuit and can operate depending on the input/output data of external terminals; (25) represents an address decoder; (26) represents an OR gate (OR); (27aa, ab... am, ba, bb... bm, ca, cb... cn, da, db... dn) represent connecting pins. In the configuration shown in Figure 1, test device (10) tests package unit (20) by sending test data including control program, control data, and various types of expected data stored in memory (11) via input/output connecting units (21), (21a) and comparing the output signal obtained from package unit (20) with the expected data. Although connection is omitted from the figures for the power supply, ground, and clocks that are common to the configurations shown in Figures 1 and 3, essential clocks are applied to IC (22aa-bs),  $FF_A$  (23aa-aq),  $FF_B$  (23ba-br), and LSI (x) (24), respectively. Although IC (22aa-bs) shown in the figures have the same shape, they can be SSI, MSI, or LSI whose internal logic circuit configuration can be ascertained. Input/output connecting unit (21) acts as the connecting means for input/output signals in the package unit (20) during operation of the system. They usually include connectors, card pins, card edges, and their sockets. Input/output connecting unit (21a) is the connecting means for the signals that are input/output only during the test. It may have the same configuration as input/output connecting unit (21) or can be shared if there is any extra space in input/output connecting unit (21). The input/output terminals of input/output connecting unit (21a) can be set to special levels as required during the

system operation. An example of the configuration of  $FF_A$  (23aa-aq),  $FF_B$  (23ba-br) is shown in Figure 2. It is an FF depending on current mode logic and equipped with a gate for scan in/out. Its properties and characteristics are common. Also, all of the signal input/output terminals of LSI (X) can be connected to any of the corresponding  $FF_A$ ,  $FF_B$ .  $FF_A$  and  $FF_B$  are simply distinguished from each other depending on the group separation in the test procedure. Also, the OR/NOR shown in Figure 2 acts like OR, NOR gates. It acts like an OR, NOR when it is used as the other circuit. Therefore, the circuit connection is the same. Also, CK-DV represents a clock driver. It is usually shared when driving multiple FFs. C-DOT represents a collector dot [sic]. In addition, D represents data input, CLK represents a clock, SET represents a set input, SCAN-ADD represents a scan address signal. Decoder (25), which receives address signal (ADD) output by test device (1) during scan in/out, decodes ADD, selects one flip-flop from  $FF_A$  (23aa-aq),  $FF_B$  (23ba-br) according to scan address signal (SCAN-ADD), and applies scan in data (SCAN-IN) from test device (1) or selects one flip-flop from  $FF_A$  (23aa-aq),  $FF_B$  (23ba-br) and sends the scan out data (SCAN-OUT) retained by that FF to test device (1) via OR gate (26) and input/output connecting unit (21a). Test device (1) tests package unit (20) by comparing said scan-out with the expected data stored in memory unit (11). If all of  $FF_{A,B}$  have the current mode logic (CML) configuration shown in Figure 2, OR gate (26) can be omitted by performing line concentration with wired OR. In the example shown, selection of  $FF_{A,B}$  is 2-bit selection by decoder (25). However, any number of bits can be selected. In the example shown in Figure 2, the flip-flop is selected when 0, 0 is applied. Because of the aforementioned configuration, in this application example, test device (10) tests package unit (20) in three steps. In the first step, test device (1) applies the first test data with IC (22aa-ap) used as the objects. The data input and retained from the data input D of direct input/output connecting unit (21) and/or  $FF_A$  (23aa-aq) is selected by decoder (25), and the result obtained from OR gate (26) and input/output connecting unit (21a) is compared with the first expected data.

In the second step, with LSI (X) (24) as the object, test device (1) selects  $FF_A$  (23aa-ap) one by one via decoder (25). The second test data is applied from input/output connecting unit (21a) and is input as SCAN-IN to LSI (X) (24). Then, the test device selects  $FF_B$  (23ba-br) one by one via decoder (25). SCAN-OUT is obtained from input/output connecting unit (21a) and compared with the second expected data.

In the third step, with IC (22ba-bs) used as the objects, test device (1) selects  $FF_B$  (23ba-br) one by one via decoder (25). The third test data is applied from input/output connecting unit (21a). SCAN-IN is from IC (22ba-bs). The data input and retained from direct input/output connecting unit (21) and/or the data input D of  $FF_A$  (23aa-aq) is selected by decoder (25). The result obtained from input/output connecting unit (21a) is compared with the third expected data. In regular operation, since the signal applied to the D of  $FF_A$  (23aa-aq),  $FF_B$

(23ba-br) is input/output to LSI (X) via its positive output Q, there will be no problem. As described above, in the test of package unit (20), with the LSI (X) mounted on the package unit, the test can be carried out with the peripheral circuit maintained in the same conditions as those during the system operation. There is also no need to change the conditions of the assembly state of LSI (X). Also, since the unit test data can be used for the second test and the expected data, there is no problem with preparing the test data. More preferably, since the test can be divided into several steps, the test process is divided into steps including generation of the test data. As a result, the test work can be reduced in proportion to the combination of the number of basic elements, which is reduced by the square root to the cube root. In this way, a highly realizable test system is obtained. In this application example, the second of the three steps uses LSI (X) as the object. However, if the scale of package unit (20) is too large and it is difficult to conduct the test due to the amount of test data or the capabilities of test device (1), it is possible to insert a FF constituted with elements having a switching speed at the same level as the semiconductor elements that constitute other logic circuits both before and after [sic; omission in original text]. In this way, compared with the original circuit, since two extra clocks are added during the system operation, the logic design should also be adjusted. However, a divided test can be realized using the same method by dividing the contents of package unit (20) into multiple groups. If necessary, input/output connecting units (21), (21a) can also be realized as peripheral interface adapter (PIA) that is fully or partially electronic.

In the following, another application example will be explained with reference to Figure 3. In Figure 3, the elements represented by the same symbols in Figure 1 have the common properties and characteristics as the conventional elements. In this case, division of package unit (20a) into three parts is realized by jumper wires. During the system operation, all of the connecting terminals (27aa-27ba), (27ab-27bb), ... (27am-27bm), (27ca-27da), (27cb-27db)... (27cn-27dn) are shorted by jumper wires or digital switches (omitted from the figure). At that time, the connecting wires from test device (10a) to (27aa-dn) are eliminated.

During a test, the connection realized by the jumper wires, etc. after the aforementioned connection pins (27aa-27ba) is eliminated. For each of the three divided parts, test device (10a) carries out the test in the same three steps described in the previous application example by using the program and data stored in memory unit (11a). In the first step, test device (10a) inputs the first test data from input/output connecting unit (21), and the result obtained from IC (22aa-ap) is compared with the first expected data obtained from input/output connecting unit (21) and/or connecting pins (27aa-am). In the second step, similarly, the second test data is input from connecting pins (27ba-bm), and the result obtained from LSI (X) (24) is compared with the second expected data obtained from connecting pins (27ca-cn). In the third step, the third test data is input from connecting pins (27da-dn), and the results from IC (22ba-bs) are compared

with the third expected data obtained from input/output connecting unit (21) and/or connecting pins (27aa-am). In this application example, the jumper wires must be removed during the testing of package unit (20a). It is also necessary to form a connection between package unit (10a) and connection pins (27aa-cn) as well as install jumper wires for a qualified product after the test. However, package unit (10a) can be easily tested in the same way as described in the previous application example without using a FF for scan in/out. In particular, in low-speed application field, compared with the FF insertion method described in the previous example, this method is useful and suitable for the case in which there is little influence of the direct connection to test device (10a) by connecting pins (27aa-cn) with no significant delay. This method is also suitable for the case in which it is difficult to carry out a test because the test scale exceeds the capabilities of test device (10a). By using this method, the testing of package unit (10a) can be realized. In the aforementioned application examples, a printed wiring board level is assumed for package units (10), (10a). However, the same effect can be achieved for other package forms.

#### Effect of the invention

As explained above, according to the present invention, a package unit used as a test object can be divided and tested easily by using connecting pins or a scan in/out means realized by a FF in the case when the package unit has an LSI (X) with unknown configuration of internal logic circuit or when the test is difficult to carry out because of its exceedingly large scale.

#### Brief description of the figures

Figure 1 is a block diagram illustrating the test system for integrated circuit element package unit in an application example of the present invention. Figure 2 is a block diagram illustrating an example of the flip-flop used for scanning out. Figure 3 is a block diagram illustrating the test system for integrated circuit element package unit in another application example of the present invention. In the figures, (10), (10a) represent test devices; (20), (20a) represent package units; (21), (21a) represent input/output connecting units; (22aa-bs) represent integrated circuits (IC); (23aa-br) represent flip-flop A group (FF<sub>A</sub>); (23ba-br) represent flip-flops B group (FF<sub>B</sub>); (24) represents a large-scale integrated circuit element (LSI (X)), which has unknown detailed configuration of the internal logic circuit; (25) represents an address decoder; (26) represents an OR gate (OR); and (27aa-dn) represent connecting pins.



# RALPH MCELROY TRANSLATION COMPANY

EXCELLENCE WITH A SENSE OF URGENCY<sup>SM</sup>

April 3, 2003

Re: 844-92662

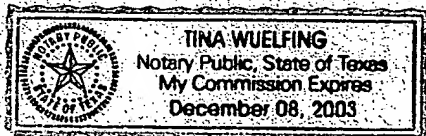
To Whom It May Concern:

This is to certify that a professional translator on our staff who is skilled in the Japanese language translated the enclosed Japanese Kokai Patent Application No. Sho 59[1984]-210382 from Japanese into English.

We certify that the attached English translation conforms essentially to the original Japanese language.

Kim Vitray  
Operations Manager

Subscribed and sworn to before me this 3rd day of April, 2003.



Tina Wuelfing  
Notary Public

My commission expires: December 8, 2003

sales@mcelroytranslation.com  
www.mcelroytranslation.com

(512) 472-6753  
1-800-531-9977

910 WEST AVE.  
AUSTIN, TEXAS 78701



FAX (512) 472-4591  
FAX (512) 479-6703

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59-210382

⑬ Int. Cl.<sup>3</sup>  
G 01 R 31/28  
H 01 L 21/66

識別記号

庁内整理番号  
7807-2G  
6851-5F

⑭ 公開 昭和59年(1984)11月29日

発明の数 2  
審査請求 未請求

(全 7 頁)

⑮ 集積回路素子実装ユニットの試験方式

⑯ 発明者 中山雅恵

川崎市中原区上小田中1015番地  
富士通株式会社内

⑰ 特 願 昭58-85341

⑱ 出 願 昭58(1983)5月16日

⑲ 出 願 人 富士通株式会社

⑳ 発 明 者 桑原広一

川崎市中原区上小田中1015番地

川崎市中原区上小田中1015番地  
富士通株式会社内

㉑ 代 理 人 弁理士 松岡宏四郎

## 明 細 書

## 1. 発明の名称

集積回路素子実装ユニットの試験方式

## 2. 特許請求の範囲

(1) 内部論理回路の詳細構成不明なるも外部端子入出力値による動作可能な集積回路素子Xを含む複数の集積回路素子を搭載接続して上位の論理回路単位を実現する実装ユニットにおいて、

上位素子Xの信号入出力端子毎に対応して複数のフリップフロップおよび該フリップフロップの入力ならびに出力信号をアドレス方式によりスキャンインアウトする選択手段を備え、該フリップフロップはそれぞれに備えたスキャンインアウトのためのゲート手段と共に該素子Xへ印加すべき前段回路よりの入力信号を切断してそのデータ入力に印加し、その正出力を素子Xの該当入力端子に印加すべく中継接続する複数のフリップフロップAと素子Xより後段回路への出力接続を切断してそのデータ入力に印加し、その正出力を該後段回路へ印加すべく中継接続する複数のフリップ

フロップBにより構成し、試験装置は該実装ユニットの入力端子に第1試験データを印加すると共に選択手段によりフリップフロップAをスキャンアウトしてまたは／および実装ユニットの出力端子に得られる出力データを該装置において保持する第1期待データと照合する第1試験手順、選択手段によりフリップフロップAを選択して素子Xの単体試験データに対応する第2試験データをスキャンインすると共にフリップフロップBをスキャンアウトして得られる出力データを対応する第2期待データと照合する第2試験手順および選択手段によりフリップフロップBを選択して第3試験データをスキャンインし実装ユニットの出力端子にまたは／およびフリップフロップAをスキャンアウトして得られる出力データを第3期待データと照合する第3試験手順により実行し、該実装ユニットの試験を行うことを特徴とする集積回路素子実装ユニットの試験方式。

(2) 内部論理回路の詳細構成不明なるも外部端子入出力値による動作可能な集積回路素子Xを含む

多数の集積回路素子を搭載接続して上位の論理回路単位を実現する実装ユニットにおいて、

素子Xの入出力端子毎に対応して短絡/切断切替手段を設けてなり、

試験装置は該切替手段を切断モードにおいて該実装ユニットの入力端子に第1試験データを印加し素子Xの入力に対応する切替手段の出力または/および実装ユニットの出力端子に得られる出力データを該装置により保持する第1期待データと照合する第1試験手順、素子Xの入力に対応する切替手段より素子Xの単体試験データに対応する第2試験データを印加して第2期待データと照合する第2試験手順および第2試験手順の出力に対応する切替手段の他方より第3試験データを印加して実装ユニットの出力端子または/および第1試験手順における切替手段に得られる出力データと照合する第3試験手順を実行して実装ユニットの試験を行うことを特徴とする集積回路素子実装ユニットの試験方式。

### 3. 発明の詳細な説明

例えばプリント配線板に搭載して集合する論理回路により上位機能を実現し、更にこれを多数個並行に配列連結する例えばバックパネル配線板によりスタックユニットを構成しより上位の論理回路機能を實現していた。集積度の向上に従い、従前の実装ユニットにおけるプリント配線板ないしはスタックユニットレベルの回路構成規模毎に、例えばマイクロプロセッサ(MPU)のような大規模且複雑な論理回路も1パッケージの小形、通常のLSIが、低コストで提供されるようになり、更にはマスタスライスLSI等に代装されるように諸要素の注文仕様に基く所望のLSIが短時間で提供されるようになった。

#### (c) 従来技術と問題点

上記のような集積度の向上は高次の論理機能を持つ回路にその実現を依存する制御機能における小形、軽量、高信頼度を低コストで提供することから多方面の利用を生みデータ処理技術の発展を支える結果となった。しかしLSIあるいは後置単位に至る中間の実装ユニットにおける種々の試

#### (a) 発明の技術分野

本発明は半導体による集積回路素子を多数搭載する上位実装ユニットにおける試験方式に関する。

#### (b) 技術的背景

近年半導体技術特に集積技術と回路設計技術の発展により1パッケージに多数の回路要素を搭載する高集積回路素子(LSI)が低コストで提供されるようになった。従来よりデータ処理のための論理回路はナンドおよびオア回路のような組合せ回路素子と更に多数の組合せ回路により得られるラッチ、レジスタ、フリップフロップ回路(FP)のような順序回路を相互に接続して構成される。データ処理装置例えば中央処理装置(CPU)における論理回路も組合せ回路および順序回路の集大成によるがこの構成のため、当初は集積度がそれ程でもなかった従来は組合せ回路または/および順序回路はそれぞれ同一種類を少数個または少数個の回路素子を組合せて得る基本機能を実現する小規模集積回路素子(SSI)または中規模集積回路素子(MSI)を多数個を中間実装ユニットの例

により複雑困難な条件をもたらしようになった。従来におけるSSIまたはMSIあるいはその集合においてはその論理構成も容易に把握出来るので試験データの作成も比較的容易であり試験工数もそれ程大規模には至らなかった。LSIの出現とその発展に従って内蔵する論理回路数とその組合せの違いによる品種の増大性試験作業の負担を相乗的に増大する結果となった。その上LSIはSSIやMSIのそれと比較して外部接続端子(ピン)の数が外形寸法や配線密度により厳しく制約されるためパッケージに完成した段階では従来SSIやMSIのピンに相当する部分は内蔵されて了い、該LSIのピンに入出力する信号値によって機能動作は可能でも内部の論理回路の振舞いは一切把握出来なくなるいわゆるブラックボックス化されるようになって来た。このことはある結果を得るために印加すべき試験データの作成について例えば内部論理回路の構成が出来ない他社製のLSIのような場合重大な障害となる。このため内部論理回路が不明のLSIを含む回路構成の集

装ユニットにおいてはLSI 00を取除いた状態において試験装置により実装ユニットの例えばコネクタ等における入出力端子およびLSI 00のピン論理回路においてはその使用は好ましくないがLSI 00をソケット装置実装とした后LSI 00を取除いたソケットの端子を対象として試験データを作成し照会試験を実施し、LSI 00を装着した状態でLSI 00の出力および該出力に接続する論理回路としては例えばSSIやMSIを經由して出力される論理値は不定として取扱い方法によっている。従ってLSI 00は受入時等に実施する単体試験によって単体レベルのLSI 00は保証され、且実装ユニットのLSI 00を除く他のSSI、MSIを除く他のSSI、MSIおよび内部論理回路構成が把握されているLSI 00に属する部分は試験データの作成が可能で試験データを入力してその出力信号を期待データと照会出来ても、LSI 00を含めた形で実装ユニット単位での例えば配線プリント板における配線抵抗/インピーダンスや閾値値を含めた形で試験ではないので実装ユ

ニットとしての信頼性が充分に確認出来ない欠点があった。また現実的にはLSI 00が平田付けされていてもこのレベルでも実装が困難な場合更に実装ユニットに搭載するSSI~LSIの論理回路構成が把握出来ても試験対象となる実装ユニットにおける前述の組合せ回路や順序回路等が適切でなく、実装ユニットにおける入出力端子だけによる一括試験を行うのには試験データの作成工数が非現実的に大きくて実現が困難であったり用意した試験装置の規模を上廻って試験が出来ない場合が存在する。

#### (d) 発明の目的

本発明の目的は実装ユニットの試験における上記の欠点を除去するため実装ユニットにおける試験においてLSI 00を実装ユニットに取付けたままでは信頼性的には勿論して、LSI 00を除く部分は従来と同じく実装ユニットおよびLSI 00のピンを使用して試験を施し、LSI 00については実装ユニットに装着した状態で単体試験データによって、実用状態に近い形で実現可能な単体的試

験を施して、試験データの作成と試験の実施を複数に分割することにより、実装ユニット一括試験と比較して試験データ作成を含めた試験工数を例えば2乗根的に削減出来るとすれば3分割によって1/9に削減する。また<sup>3</sup>乗根的ならば3分割によって1/27に削減するところの乗根回路素子実装ユニットの試験方式を提供しようとするものである。

#### (e) 発明の構成

内部論理回路の詳細構成不明なるも外部端子入出力値による動作可能な乗根回路素子Xを含む複数の乗根回路素子を搭載接続して上位の論理回路単位を実現する実装ユニットにおいて、

上記素子Xの信号入出力端子毎に対応して複数のフリップフロップおよび該フリップフロップの入力ならびに出力信号をアドレス方式によりスキャンインアウトする選択手段を備え、該フリップフロップはそれぞれに備えたスキャンインアウトのためのゲート手段と共に該素子Xへ印加すべき前段回路よりの入力信号を切断してそのデータ入

力に印加し、その正出力を素子Xの該当入力端子に印加すべく中継接続する複数のフリップフロップAと素子Xより複数回路への出力接続を切断してそのデータ入力に印加し、その正出力を該当複数回路へ印加すべく中継接続する複数のフリップフロップBにより構成し、試験装置は該実装ユニットの入力端子に第1試験データを印加すると共に選択手段によりフリップフロップAをスキャンアウトしてまたは/および実装ユニットの出力端子に得られる出力データを該装置において保持する第1期待データと照合する第1試験手順、選択手段によりフリップフロップAを選択して素子Xの単体試験データに対応する第2試験データをスキャンインすると共にフリップフロップBをスキャンアウトして得られる出力データを対応する第2期待データと照合する第2試験手順および選択手段によりフリップフロップBを選択して第3試験データをスキャンインし実装ユニットの出力端子にまたは/およびフリップフロップAをスキャンアウトして得られる出力データを第3期待デ



タと照合する第3試験手順により実行し、該試験ユニットの試験を行うことを特徴とする集積回路素子試験ユニットの試験方式を提供することによって達成することが出来る。

#### (f) 発明の実施例

以下本発明の一実施例について図面を参照しつつ説明する。第1図は本発明の一実施例における集積回路素子試験ユニットの試験方式によるブロック図、第2図はそのスキャンインアウトに使用するフリップフロップのブロック例図および第3図は本発明の他の実施例における集積回路素子試験ユニットの試験方式によるブロック図である。図において10, 10aは試験装置、11, 11aは記憶部、20, 20aは試験ユニット、21, 21aは入出力接続部、22aa, ab, ac...ap, ba, bb...bsは集積回路(IC)、23aa, ab...aq, ba, bb...brはそれぞれフリップフロップA, Bグループ(FFA, FFB)、24は内部論理回路の詳細構成不明なるも外部端子入出力による動作可能な高集積回路素子X(LSI(X))、25はアド

レスデコーダ、26はオア回路(OR)、27aa, ab...am, ba, bb...bm, ca, cb...cn, da, db...dnは接続ピンである。第1図の構成において試験装置10は記憶部11に蓄積する制御プログラム、制御データおよび種々の期待データを含む試験データに従い試験ユニット20を入出力接続部21, 21aを介し試験データを送出し試験ユニット20から得られる出力信号を期待データと逐一照合して試験を行う。尚第1図、第3図に共通して電源、接地およびクロックについては接続を図示省略してあるがIC22aa~bs, FFA23aa~aq, FFB23ba~brおよびLSI(X)24にはそれぞれ必要なクロックが印加されているものとする。IC22aa~bsは同一形状にて表示してあるがそれぞれSSI, MSIおよび内部の論理回路構成が異なるLSIを表現するものとする。入出力接続部21は試験ユニット20におけるシステム動作時の入出力信号用の接続手段であり、通常コネクタ、カードピンあるいはカードエッジとそのソケット等の組合せによる。入出力接続部21a

は試験時だけに入出力する信号の接続手段であり、入出力接続部21と同様の構造を別に持つか、入出力接続部21に余裕があれば共用でもよい。入出力接続部21aはシステム動作時には必要によりその入出力端子は特定レベルに設定される。FFA23aa~aq, FFB23ba~brの構成例は第2図のブロック例図に示す。こゝではスキャンインアウトゲート付のカーレントモードロジックに<sup>る</sup>FFであり、その性能、特性は共通である。尚LSI(X)の全信号入出力端子は対応するFFA, FFBの何れかに接続されているものとする。FFA, FFBの別は単に試験手順上のグループ分割による。尚第2図のOR/NORはオア/ノア回路でありNOR, ORはその一方を不使用としていることによる。従って回路接続は共通である。またCK-DVはクロックドライバであり、通常は複数のFF駆動に亘って共用となる。C-DOTはコレクタドットである。更に信号表示はDはデータ入力、CLKはクロック、SETはセット入力、SCAN-ADDはスキャンインアウト時において試験装置11に

り送出されるアドレス信号(ADD)を受信するデコーダ25が、ADDをデコードして送出するスキャンアドレス信号(SCAN-ADD)に従ってFFA23aa~aq, FFB23ba~br中より1個を選択して試験装置11からのスキャンインデータ(SCAN-IN)を印加し、またはFFA23aa~aq, FFB23ba~bs中より1個を選択してそのFFが保持するスキャンアウトデータ(SCAN-OUT)をOR26および入出力接続部21aを介して試験装置11に送出し試験装置11は該SCAN-OUTを記憶部11の期待データと照合し合否判定を所て試験ユニット20の試験とする。尚FFA, aがすべて第2図に示すカーレッジモードロジック(CML)で構成されていればワイヤードオアにより集線しOR26は省略することが出来る。またデコーダ25によるFFA, aの選択は2ビット選択の例を示したが勿論任意のビット数でよい。第2図の例では0, 0が印加されたときに選択される。以上のように構成されているので本実施例では試験装置10は試験ユニット20を3分割して試験を実行する。

第1手順では試験装置1はIC22aa~apを対象として第1の試験データを加算し直接入出力接続部21または／およびFFA23aa~aqのデータ入力Dより入力されて保持するデータをデコード25をして選択せしめてOR26ならびに入出力接続部21aより得られる結果を第1の期待データと照合して試験する。

第2手順では試験装置1はLS10024を対象としてFFA23aa~apを逐一デコード25を介して選択し、第2試験データを入出力接続部21aより印加してSCAN-INとしLS10024に入力し、FFA23ba~brを逐一デコード25を介して選択してSCAN-OUTを入出力接続部21aより得て第2期待データと照合して試験する。

第3手順では試験装置1はIC22ba~bsを対象としてFFA23ba~brを逐一デコード25を介して選択し、第3試験データを入出力接続部21aより印加してSCAN-INとしIC22ba~bsより出力されるデータを直接入出力接続部21または／およびFFA23aa~aqのデータ入力Dより入力さ

れて保持するデータをデコード25により選択し入出力接続部21aより得られる結果を第3期待データと照合して試験する。尚通常のシステム動作においてはFFA23aa~aq, FFA23ba~brのDに印加される信号はクロックに従いその正出力Qを介してLS100に入出力されるので問題はない。以上のようにすれば実装ユニット20の試験においてLS100を透過したまゝで周辺の回路もその回路条件をシステム動作時と同様に維持したまゝ試験が実施出来る上、LS100も実装状態の条件を変更することなく、且第2試験および期待データに単体試験データを適用して試験データの作成に手数を要することのない、より望ましい形で試験の実施を複数分割により実現するので試験データの作成を含め各手順に分割されて試験工数が基本素子数の組合せが2~自乗根的に減少するのに比例して削減され実現性の高い試験方式が得られる。本実施例では3分割の第2手順をLS100を対象としたが、実装ユニット20の規模が大き過ぎて試験の実施が試験データ量あるいは試験

装置1の能力の面から困難な場合、他の論理回路を得成する半導体素子と同一レベルのスライシング速度を有する素子により構成するFDを前後2回ずつ挿入するた形回路に比較してシステム動作時にも余分に2クロックが増加するので論理設計に手直しを伴うが実装ユニット20の内容を複数群に分割して同様の手法で分割試験が実現出来ることはいふまでもない。また必要に応じて入出力接続部21, 21aは必要によりそのすべてまたは一部を電子化された周辺中継アダプタ(PIA)としても同様に実現可能である。

次に第3図により別の実施例について説明する。第3図の構成部材を示す符号で第1図のそれと共通の符号を有する部材は従来と共通の機能および特性を有するものとする。こゝでは実装ユニット20aの3分割をジャンパ線によつた場合である。システム動作時にはそれぞれ接続端子27aa~27ba, 27ab~27bb, ... 27an~27bm, 27ca~27da, 27cb~27db... 27cn~27dnのすべてはジャンパ線あるいは図示省略した形がデジットスイッチ

等により短絡されて作動するものとする。この時は27aa~dnに至る試験装置10aよりの接続線は除去されている。

試験時には上記の接続ピン27aa~27ba以下のジャンパ線等による接続は除去されていて3分割された各部に対し前実施例と同様に3段階の手順で試験装置10aは記憶部11aに蓄積するプログラムおよびデータに従い試験を行う。第1手順では試験装置10aは入出力接続部21より第1試験データを入力し、IC22aa~apより得られる結果を入出力接続部21または／および接続ピン27aa~amより得て第1期待データと照合する。第2手順では同様に接続ピン27ba~bnより第2試験データを入力し、LS10024よりの結果を接続ピン27ca~cnより得て第2期待データと照合する。第3手順では接続ピン27da~dnより第3試験データを入力し、IC22ba~bsからの結果を入出力接続部21または／および接続ピン27aa~amより得て第3期待データと照合する。このようにすれば本実施例では実装ユニット

20aを試験するに基いてジャンパ線の取脱し、試験装置10aと接続ピン27aa~cnの接続および試験終了後品検についてはジャンパ線の取付作業等を伴うがスキャンインアウト用のFFDを使用することなく前述の実施例と同様に実装ユニット10aの試験が容易に行われる手段となり、特に低速用で前例FFDの挿入手法に比較して本質的には遅れを伴わず接続ピン27aa~cnによる試験装置10aとの直接接続による影響が少い場合に適用して有用である。この方法も試験装置が試験装置10a等を上廻るようなことで試験が困難な場合にも同様に適用して実装ユニット10aの試験が実現出来ることは勿論である。以上は実装ユニット10、10aとして配線プリント板レベルを想定したが他の実装形態でも同様の効果が得られることはいう迄もない。

#### (d) 発明の効果

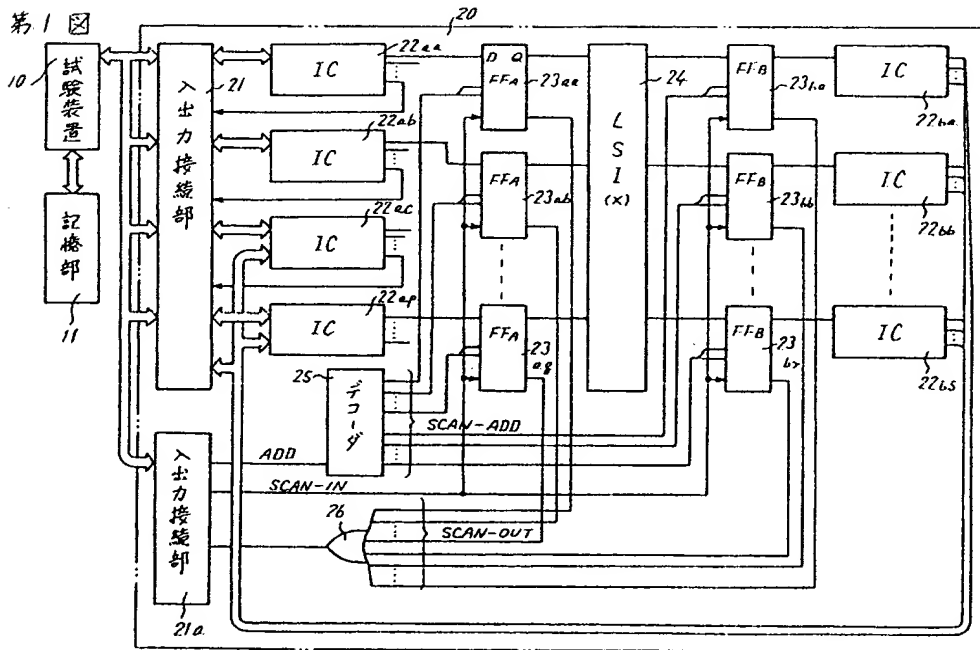
以上説明したように本発明によれば内部論理回路の構成が不明のLSI(10)を有しているか、規模が大き過ぎるようなことで試験が困難な場合にも

FFDによるスキャンインアウト手段または接続ピンの使用により、試験対象の実装ユニットを分割して容易に試験出来るので有用である。

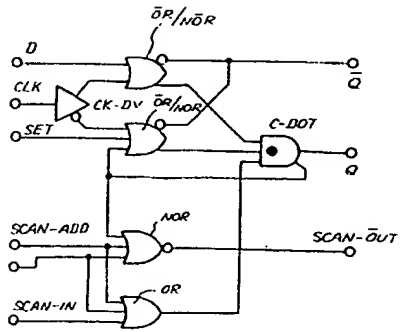
#### 4. 図面の簡単な説明

第1図は本発明の一実施例における集積回路素子実装ユニットの試験方式によるブロック図、第2図はそのスキャンインアウトに使用するフリップフロップのブロック図および第3図は本発明の他の実施例における集積回路素子実装ユニットの試験方式によるブロック図である。図において10、10aは試験装置、20、20aは実装ユニット、21、21aは入出力接続部、22aa~bbは集積回路(IC)、23aa~aqはフリップフロップAグループ(FFA)、23ba~brはフリップフロップBグループ(FFB)、24は内部論理回路の詳細構成不明の高集積回路素子[LSI(10)]、25はアドレスデコーダ、26はオア回路(OR)および27aa~dnは接続ピンである。

代理人 弁理士 松岡 宏四郎



第2図



第3図

